

PATENT
8947-000064/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants:	HYUN-SANG PARK	Conf:	Unknown
Application No.:	New Application	Group:	Unknown
Filed:	November 4, 2003	Examiner:	Unknown
For:	IMAGE PROCESSING APPARATUS AND METHOD FOR CONVERTING IMAGE DATA BETWEEN RASTER SCAN ORDER AND BLOCK SCAN ORDER		

PRIORITY LETTER

November 4, 2003

Honorable Commissioner of Patents and Trademarks
Washington, DC 20231

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2002-0068871	November 7, 2002	KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By



John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC:jj



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0068871
Application Number

출원년월일 : 2002년 11월 07일
Date of Application NOV 07, 2002

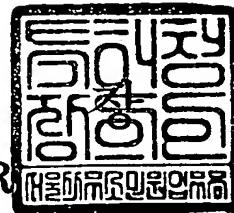
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 01 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.11.07
【발명의 명칭】	라스터 스캔 순서 화상 데이터와 블록 스캔 순서 화상 데이터 사이의 변환을 위한 화상 처리 장치 및 방법
【발명의 영문명칭】	IMAGE PROCESSING APPARATUS AND METHOD FOR CONVERTING IMAGE DATA BETWEEN RASTER SCAN ORDER AND BLOCK SCAN ORDER
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	박현상
【성명의 영문표기】	PARK, HYUN SANG
【주민등록번호】	690213-1405611
【우편번호】	330-160
【주소】	충청남도 천안시 신부동 85번지 대아아파트 103동 108호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조 의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

1020020068871

출력 일자: 2003/9/5

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	34	면	34,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	30	항	1,069,000	원
【합계】			1,132,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

라스터 포맷과 블록 포맷 사이의 화상 데이터를 상호 변환하는 화상 처리 장치 및 방법은, 특히, 라스터 포맷을 블록 포맷으로 전환할 때, 카메라 프로세서에서 발생된 화상 데이터를 각 색 성분별로 분리하여 하나의 라인 메모리에 저장한 후, 블록 포맷으로 읽기에 적합한 순서로 블록 단위로 독출하여 JPEG 엔진으로 전달한다. 하나의 통합 라인 메모리를 사용하기 때문에 메모리 크기를 줄일 수 있고 이에 따라 칩 사이즈를 감소시킬 수 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

라스터 스캔 순서 화상 데이터와 블록 스캔 순서 화상 데이터 사이의 변환을 위한 화상 처리 장치 및 방법{IMAGE PROCESSING APPARATUS AND METHOD FOR CONVERTING IMAGE DATA BETWEEN RASTER SCAN ORDER AND BLOCK SCAN ORDER}

【도면의 간단한 설명】

도 1은 통상적인 VGA(Variable Graphics Array) 표준의 화상 처리 장치를 개략적으로 도시한 블록도;

도 2는 카메라 프로세서로부터의 화상 데이터가 라스터 스캔 순서로 라인 메모리에 기입되는 것을 보여주는 도면;

도 3은 라인 메모리에 저장된 화상 데이터가 블록 스캔 순서로 독출되는 것을 보여주는 도면;

도 4는 본 발명의 바람직한 실시예에 따른 화상 데이터 처리 장치를 보여주는 블록도;

도 5는 도 4에 도시된 화상 데이터 처리 장치의 동작을 설명하기 위한 타이밍도;

도 6은 도 4에 도시된 어드레스 발생 회로의 바람직한 실시예를 보여주는 도면;

도 7a는 카메라 프로세서로부터 출력되는 화상 데이터를 보여주는 도면;

도 7b 내지 도 7e는 80*8 픽셀을 저장할 수 있는 라인 메모리에 도 7a에 도시된 세그먼트들이 독출/기입되는 순서를 보여주는 도면들이다.

*도면의 주요 부분에 대한 설명

100 : 화상 데이터 처리 장치 110 : 카메라 프로세서

120 : 어드레스 발생기 130 : 메모리

140 : JPEG 엔진 201, 202 : 카운터

210 : 어드레스 발생기 220 : 라인 오프셋 발생기

230 : 블록 어드레스 발생기 211, 221, 231 : 멀티플렉서

212, 213, 222, 223, 232, 235 : 레지스터

215, 216, 224, 225, 233, 234 : 가산기

214 : 연산기

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 화상 처리 장치 및 방법에 관한 것으로, 좀 더 구체적으로는 하 나의 라인 메모리를 사용하여 라스터 스캔 순서의 화상 데이터와 블록 스캔 순서의 화상 데이터 사이의 상호 변환을 처리하는 화상 처리 장치 및 방법에 관한 것이다.

<19> 잘 알려진 바와 같이, JPEG(Joint Photographic Experts Group)은 데이터 압축을 위해 이산 코사인 변환(Discrete Cosine Transform:DCT)을 사용한다. DCT

압축 기술은 데이터를 8픽셀*8픽셀 단위의 블록으로 나누어 데이터를 처리한다. 하지만 카메라의 화상 처리부는 화상 데이터를 라인 단위로, 즉, 라스터 포맷(raster format)(라스터 스캔 순서: 한 화상 전체에 대해서 좌에서 우로, 위에서 아래로)으로 연속적으로 출력한다. 따라서, 라스터 스캔 순서의 화상 데이터를 블록 스캔 순서로 변환하기 위해서는, 최소 8 라인의 화상 데이터를 저장할 수 있는 라인 메모리가 필요하다. 8 라인이 저장된 라인 메모리로부터 8*8 픽셀의 화상 블록을 만드는 동안 카메라의 화상 처리부는 새로운 화상 데이터를 출력하기 때문에 연속적인 처리를 위해서는 8 라인의 라인 메모리가 더 필요하다. 즉, 하나의 라인 메모리에 화상 데이터가 기입되는 동안 다른 라인 메모리에 저장된 화상 데이터에 대한 8*8 블록 독출이 이루어진다. 화상 데이터는 휘도 성분 Y와 색차 성분 U 및 V로 구성되기 때문에 이를 각각의 성분들에 대해서 두 개의 라인 메모리가 필요하다.

<20> 도 1은 통상적인 VGA(Variable Graphics Array) 표준의 화상 처리 장치를 개략적으로 도시한 블록도로서, 단지 휘도 성분 Y에 대한 라인 메모리 시스템을 도시한다. 카메라 프로세서(10)에서 첫 번째 8 라인의 휘도 Y 성분이 출력되어 라인 메모리_Y0(20)에 순차적으로 저장된다. 두 번째 8 라인의 휘도 성분 Y가 라인 메모리_Y1(40)에 순차적으로 저장됨과 동시에 라인 메모리_Y0(20)에 대한 8*8 블록 단위 독출이 이루어진다. 이 때, 멀티플렉서(50)는 어드레스 발생 회로(30)의 제어에 응답해서 라인 메모리_Y0(12)로부터 독출된 8*8 화상 블록을 JPEG 엔진(22)으로 전달어한다. 라인 메모리들(20, 40)에 대한 기입 및 독출 어드레스는 어드레스 발생 회로(30)에서 생성된다.

<21> 도 2는 카메라 프로세서(10)로부터의 화상 데이터가 라스터 스캔 순서로 라인 메모리에 기입되는 것을 보여주고 있고, 도 3은 라인 메모리에 저장된 화상 데이터가 블록 스캔 순서로 독출되는 것을 보여주고 있다. 도 2 및 도 3에서, H는 수평 방향 픽셀 수, V는 수직 방향 픽셀 수를 나타낸다. 하나의 라인 메모리에는 한 페이즈(Phase) 즉, H*8 픽셀들이 저장된다. 예컨대, Phase 0에서는 0 번째 픽셀부터 H*8-1 번째 픽셀까지 라인 메모리에 저장되고, Phase 1에서는 H*8 번째 픽셀부터 H*8*2-1 번째 픽셀까지 라인 메모리에 저장된다.

<22> 다시 도 1을 참조하면, 라인 메모리들(20, 40)에 대한 기입 어드레스는 0 부터 H*8-1(여기서, H는 수평 해상도) 까지 순차적으로 증가한다. 해상도가 640*480인 VGA 표준의 화상 처리 장치에서 라인 메모리들(20, 40)에 대한 기입 어드레스는 0 부터 640*8-1까지 순차적으로 증가한다.

<23> 블록 단위 독출을 위한 라인 메모리들에 대한 독출 어드레스(addr)는 아래 수학식 1에 기재된 알고리즘에 따라 정해진다.

<24> 【수학식 1】 `for(i=0; i<H/v; i++){`

<25> `for(vv=0; vv<v; vv++){`

<26> `for(hh=0; hh<h; hh++){`

<27> `addr=vv * H + i * v + hh`

<28> `}`

<29> `}`

<30> `}`

<31> 독출 어드레스(addr)는 아래 수학식 2에 기재된 알고리즘에 따라서 구해질 수도 있다.

<32> 【수학식 2】 `for(i=0; i<H/v; i++){`

<33> `for(vv=0; vv<v; vv++){`

<34> `for(hh=0; hh<h; hh++){`

<35> `addr=vv*H + i * v + hh`

<36> `}`

<37> `}`

<38> `}`

<39> 여기서, H는 수평 방향 픽셀 수(예컨대, 640)를 나타내며, v(예컨대, 8)는 하나의 블록에 포함되는 라인의 수 그리고 h는 하나의 블록에 포함되는 수평 방향 픽셀의 수(예컨대, 8)를 나타내며, i는 블록 순서를, vv는 한 블록에서 수직 방향 픽셀(라인)을, hh는 한 블록에서 수평 방향 픽셀을 나타내는 변수이다.

<40> 세 번째 페이즈에서, 8 라인의 휘도 성분 Y가 기입 어드레스 addr를 참조하여 라인 메모리_Y0(20)에 저장될 때, 라인 메모리_Y1(40)로부터 블록 단위 독출이 이루어지고 독출된 블록이 멀티플렉서(50)를 통하여 JPEG 엔진(60)에 전달된다.

<41> 이와 같은 통상적인 화상 처리 방법은 각 색 성분에 대하여 두 개의 라인 메모리들을 사용한다. 예컨대, VGA 표준의 경우, 휘도 성분 Y에 대해서 640*8바이트의 라인 메모리를 두 개 사용한다. 따라서, 시스템의 저전력화를 위해 메모

리를 칩에 내장할 경우, 칩 크기가 증가하는 문제점이 발생한다. 특히 처리하고자 하는 화상의 크기가 증가할수록 그 문제는 더욱 심각해진다.

【발명이 이루고자 하는 기술적 과제】

<42> 따라서 본 발명의 목적은 라인 메모리의 크기를 감소시킬 수 있는 라스터 스캔 순서와 블록 스캔 순서 사이의 화상 데이터를 상호 변환하는 화상 처리 장치를 제공하는데 있다.

<43> 본 발명의 다른 목적은 하나의 라인 메모리를 사용하여 라스터 스캔 순서와 블록 스캔 순서 사이의 화상 데이터를 상호 변환하는 어드레스 발생기를 제공하는데 있다.

<44> 본 발명의 또 다른 목적은 라인 메모리의 크기를 감소시킬 수 있는 라스터 스캔 순서와 블록 스캔 순서 사이의 화상 데이터를 상호 변환하는 화상 처리 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<45> 상술한 바와 같은 목적을 달성하기 위한 본 발명의 화상 데이터 처리 장치는, 소정의 수평 해상도 및 수직 해상도를 가지는 라스터 스캔 순서의 화상 데이터를 공급하는 화상 데이터 처리기와, 복수의 라인들(v)의 화상 데이터를 저장하기 위한 라인 메모리와, 상기 라인 메모리에 대한 공통 독출/기입 어드레스를 발생하는 어드레스 발생 블록 및 상기 라인 메모리로부터 $h*v$ 블록 스캔 순서의 화상 데이터를 전달받는 인코더를 포함한다. 상기 어드레스 발생 블록은, 화상 데이터가 독출 및 기입될 블록의 어드레스를 발생하는 블록 어드레스 발생기와, 상

기 라인 메모리에 대한 이전 공통 독출/기입 어드레스와 현재 공통 독출/기입 어드레스 사이의 라인 오프셋을 제공하는 라인 오프셋 발생기 그리고 상기 블록 어드레스와 상기 라인 오프셋에 근거하여 상기 라인 메모리에 대한 상기 공통 독출/기입 어드레스를 발생하는 어드레스 발생기를 포함한다.

- <46> 바람직한 실시예에 있어서, 상기 인코더는 JPEG 엔진이다.
- <47> 바람직한 실시예에 있어서, 상기 블록은 화상 데이터 $h*v$ 를 포함한다.
- <48> 이 실시예에 있어서, 상기 블록 어드레스 발생기는, 상기 라인 메모리에 대한 현재 블록의 시작 어드레스와 다음 블록의 시작 어드레스 사이의 오프셋인 블록 오프셋을 더 제공한다. 상기 블록 오프셋은 초기에 1로써 설정된다. 상기 라인 오프셋은 초기에 {수평 해상도(H)/8}로써 설정된다. 상기 라인 오프셋 발생기는, 상기 라인 메모리에 대한 현재 공통 독출/기입 어드레스와 다음 공통 독출/기입 어드레스 사이의 라인 오프셋인 다음 라인 오프셋을 더 발생한다. 상기 블록 어드레스와 상기 다음 라인 오프셋은 매 페이즈의 시작에서 각각 리셋된다.
- <49> 이 실시예에 있어서, 상기 어드레스 발생기는, 상기 블록 어드레스에 근거하여 상기 라인 메모리에 대한 앵커 어드레스를 더 발생하고 그리고 상기 발생된 앵커 어드레스로부터 연속된 h 개의 상기 공통 독출/기입 어드레스들을 발생한다. 상기 어드레스 발생기는, 상기 연속된 h 개의 공통 독출/기입 어드레스들을 발생한 후 상기 앵커 어드레스를 상기 라인 오프셋만큼 증가시키고, 상기 라인 오프셋만큼 증가된 상기 앵커 어드레스가 {수평 해상도(H)-1}보다 클 때 상기 앵커 어드레스를 상기 수평 해상도 H-1만큼 감소시킨다.

<50> 이 실시예에 있어서, 상기 블록 어드레스 발생기는, 하나의 블록에 대한 공통 독출/기입 어드레스들을 발생한 후 상기 블록 어드레스를 상기 블록 오프셋만큼 증가시키고, 상기 블록 오프셋만큼 증가된 상기 블록 어드레스가 상기 수평 해상도 H-1보다 클 때 상기 블록 어드레스를 {수평 해상도(H)-1}만큼 감소시킨다.

상기 블록 오프셋은, 매 페이즈의 끝에서 상기 라인 오프셋으로써 설정된다. 상기 라인 오프셋은, 상기 매 페이즈의 끝에서 상기 다음 라인 오프셋으로써 설정된다.

<51> 이 실시예에 있어서, 하나의 페이즈는 H/h 블록들을 포함한다.

<52> 바람직한 실시예에 있어서, 수평해상도가 H이고 수직 해상도가 V인 화상 데이터는 V/v 페이즈들을 포함한다.

<53> 본 발명의 다른 특징에 의하면, 라스터 스캔 순서의 화상 데이터와 블록 스캔 순서의 화상 데이터의 상호 변환을 위한 화상 처리 방법은: 수평 해상도(H) 및 수직 해상도(V)를 가지는 라스터 스캔 순서의 화상 데이터를 공급받는 단계와, 복수의 라인들(v)의 라인 메모리에 대한 공통 독출/기입 어드레스를 발생하는 단계와, 상기 라인 메모리의 상기 공통 독출/기입 어드레스로부터 h*v 블록 스캔 순서의 화상 데이터를 독출하는 단계와, 상기 라인 메모리의 상기 공통 독출/기입 어드레스에 상기 라스터 스캔 순서의 화상 데이터를 저장하는 단계 그리고 h*v 블록 스캔 순서의 화상 데이터를 인코더로 전달하는 단계를 포함한다. 상기 공통 독출/기입 어드레스를 발생하는 단계는, (ㄱ) 블록 오프셋과 라인 오프셋을 초기화하는 단계와, (ㄴ) 블록 어드레스와 다음 라인 오프셋을 초기화하는 단계와, (ㄷ) 앵커 어드레스를 상기 블록 어드레스로써 설정하는 단계와, (ㄹ) 상

기 앵커 어드레스로부터 연속된 h개의 공통 독출/기입 어드레스들을 발생하는 단계와, (口) 상기 앵커 어드레스를 상기 라인 오프셋만큼 증가시키는 단계와, (ㅂ) 상기 $h*v$ 블록에 대한 상기 공통 독출/기입 어드레스들이 모두 발생될 때까지 상기 (ㄹ)~(ㅁ) 단계들을 반복하는 단계와, (ㅅ) 상기 블록 어드레스를 상기 블록 오프셋만큼 증가시키는 단계와, (ㅇ) 상기 다음 라인 오프셋을 상기 라인 오프셋만큼 증가시키는 단계와, (ㅈ) H/h 블록들에 대한 화상 데이터를 모두 처리할 때까지 상기 (ㄷ)~(ㅇ) 단계들을 반복하는 단계와, (ㅊ) 상기 블록 오프셋을 상기 라인 오프셋으로서 설정하는 단계와, (ㅋ) 상기 라인 오프셋을 상기 다음 라인 오프셋으로 설정하는 단계와, (ㅊ) 상기 라스터 스캔 순서의 화상 데이터가 공급되는 동안 상기 (ㄴ)~(ㅋ) 단계들을 반복하는 단계를 포함한다.

<54> 바람직한 실시예에 있어서, 상기 (ㅁ) 단계에서, 상기 라인 오프셋만큼 증가된 앵커 어드레스가 상기 수평 해상도 H-1보다 크거나 같을 때 상기 앵커 어드레스를 상기 수평 해상도 H-1만큼 감소시키는 단계를 더 포함한다.

<55> 바람직한 실시예에 있어서, 상기 (ㅇ) 단계에서, 상기 블록 오프셋만큼 증가된 블록 어드레스가 {수평 해상도(H)-1}보다 크거나 같을 때 상기 블록 어드레스를 {수평 해상도(H)-1}만큼 감소시키는 단계를 더 포함한다.

<56> 본 발명의 또 다른 특징에 의하면, 라스터 스캔 순서의 화상 데이터와 블록 스캔 순서의 화상 데이터의 상호 변환을 위한 화상 처리 방법은: 수평 해상도(H) 및 수직 해상도(V)를 가지는 라스터 스캔 순서의 화상 데이터를 공급받는 단계와, 복수의 라인들(v)의 라인 메모리에 대한 공통 독출/기입 어드레스를 발생하는 단계와, 상기 라인 메모리의 상기 공통 독출/기입 어드레스로부터 $h*v$ 블

록 스캔 순서의 화상 데이터를 독출하는 단계와, 상기 라인 메모리의 상기 공통
독출/기입 어드레스에 상기 라스터 스캔 순서의 화상 데이터를 저장하는 단계 그
리고 $h*v$ 블록 스캔 순서의 화상 데이터를 인코더로 전달하는 단계를 포함한다.
상기 공통 독출/기입 어드레스를 발생하는 단계는, (ㄱ) 블록 오프셋과 라인 오
프셋을 초기화하는 단계와, (ㄴ) (블록 오프셋 * i + 라인 오프셋 *
 vv)(여기서, i 는 v 라인의 화상 데이터의 블록 순서를 표시하는 것으로서, 0 부
터 $(H/h)-1$ 까지 순차적으로 증가하고, vv 는 블록의 라인 수를 표시하는 것으로
서 i 에 대하여 0부터 $v-1$ 까지 순차적으로 증가하며)를 수평 해상도 $H-1$ 로 나눈
나머지로 주어지는 앵커 어드레스를 생성하는 단계와, (ㄷ) 상기 앵커 어드레스
 $*h$ 로부터 연속된 h 개의 공통 독출/기입 어드레스들을 발생하는 단계와, (ㄹ) 상
기 $h*v$ 블록에 대한 상기 공통 독출/기입 어드레스들이 모두 발생될 때까지 상기
(ㄴ)~(ㄷ) 단계들을 반복하는 단계와, (ㅁ) 상기 i 가 0부터 $(H/h)-1$ 까지 순차
적으로 증가할 때까지 상기 (ㄴ)~(ㄷ) 단계들을 반복하는 단계와, (ㅂ) 상기 블
록 오프셋을 상기 라인 오프셋으로서 설정하는 단계와, (ㅅ) (라인 오프셋 *
 H/h)을 상기 수평 해상도 $H-1$ 로 나눈 나머지를 상기 라인 오프셋으로 설정하는
단계와, (ㅇ) 상기 라스터 스캔 순서의 화상 데이터가 공급되는 동안 상기 (ㄴ)
~(ㅅ) 단계들을 반복하는 단계를 포함한다.

<57> 본 발명의 다른 특징에 의하면, 라스터 스캔 순서의 화상 데이터와 블록 스
캔 순서의 화상 데이터의 상호 변환을 위한 화상 처리 방법의 공통 독출/기입 어
드레스를 발생하는 단계는, (ㄱ) 블록 오프셋과 라인 오프셋을 초기화하는 단계
와, (ㄴ) 블록 어드레스를 초기화하는 단계와, (ㄷ) 라인 어드레스를 초기화하는

단계와, (ㄹ) 상기 블록 어드레스와 상기 라인 어드레스의 합을 {수평 해상도 (H)-1}로 나눈 나머지로 주어지는 앵커 어드레스를 생성하는 단계와, (ㅁ) 상기 앵커 어드레스*h로부터 연속된 h개의 공통 독출/기입 어드레스들을 발생하는 단계와, (ㅂ) 상기 라인 어드레스를 상기 라인 오프셋만큼 증가시키는 단계와, (ㅅ) 상기 h*v 블록에 대한 상기 공통 독출/기입 어드레스들이 모두 발생될 때까지 상기 (ㄹ)~(ㅂ) 단계들을 반복하는 단계와, (ㅇ) 상기 블록 어드레스를 상기 블록 오프셋만큼 증가시키는 단계와, (ㅈ) H/h 블록들에 대한 화상 데이터를 모두 처리할 때까지 상기 (ㄷ)~(ㅇ) 단계들을 반복하는 단계와, (ㅊ) 상기 블록 오프셋을 상기 라인 오프셋으로서 설정하는 단계와, (ㅋ) 상기 라인 오프셋 * H/h을 상기 수평 해상도 H-1로 나눈 나머지를 상기 라인 오프셋으로 설정하는 단계와, (ㅊ) 상기 라스터 스캔 순서의 화상 데이터가 공급되는 동안 상기 (ㄴ)~(ㅋ) 단계들을 반복하는 단계를 포함한다.

<58> 본 발명의 또 다른 목적을 달성하기 위한 라스터 스캔 순서의 화상 데이터와 블록 스캔 순서의 화상 데이터의 상호 변환을 위한 화상 처리 방법의 공통 독출/기입 어드레스를 발생하는 단계는, (ㄱ) 블록 오프셋과 라인 오프셋을 초기화하는 단계와, (ㄴ) 블록 어드레스를 초기화하는 단계와, (ㄷ) 라인 어드레스를 초기화하는 단계와, (ㄹ) 상기 블록 어드레스와 상기 라인 어드레스에 근거해서 앵커 어드레스를 생성하는 단계와, (ㅁ) 상기 앵커 어드레스*h로부터 연속된 h 개의 공통 독출/기입 어드레스들을 발생하는 단계와, (ㅂ) 상기 라인 어드레스를 상기 라인 오프셋만큼 증가시키는 단계와, (ㅅ) 상기 h*v 블록에 대한 상기 공통 독출/기입 어드레

스들이 모두 발생될 때까지 상기 (ㄹ)~(ㅂ) 단계들을 반복하는 단계와, (ㅇ) 상기 블록 어드레스를 상기 블록 오프셋만큼 증가시키는 단계와, (ㅈ) H/h 블록들에 대한 화상 데이터를 모두 처리할 때까지 상기 (ㄷ)~(ㅇ) 단계들을 반복하는 단계와, (ㅊ) 상기 블록 오프셋을 상기 라인 오프셋으로서 설정하는 단계와, (ㅋ)) 상기 라인 오프셋 * H/h를 상기 라인 오프셋으로 설정하는 단계와, (ㅊ) 상기 라스터 스캔 순서의 화상 데이터가 공급되는 동안 상기 (ㄴ)~(ㅋ) 단계들을 반복하는 단계를 포함한다.

<59> 상기 방법에 있어서, 상기 (ㄹ) 단계에서, 상기 생성된 앵커 어드레스가 { 수평 해상도(H)-1}보다 크거나 같을 때, 상기 앵커 어드레스를 상기 수평 해상도 H-1만큼 감소시키는 단계를 더 포함한다.

<60> 바람직한 실시예에 있어서, 상기 (ㅂ) 단계에서, 상기 증가된 라인 어드레스가 {수평 해상도(H)-1}보다 크거나 같을 때, 상기 라인 어드레스를 상기 수평 해상도 H-1만큼 감소시키는 단계를 더 포함한다.

<61> 바람직한 실시예에 있어서, 상기 (ㅇ) 단계에서, 상기 증가된 블록 어드레스가 상기 수평 해상도 H-1보다 크거나 같을 때, 상기 블록 어드레스를 상기 수평 해상도 H-1만큼 감소시키는 단계를 더 포함한다. 상기 (ㅋ) 단계에서, 상기 설정된 라인 오프셋이 {수평 해상도(H)-1}보다 크거나 같을 때 상기 라인 오프셋을 {수평 해상도(H)-1}로 나눈 나머지를 상기 라인 오프셋으로 설정하는 단계를 더 포함한다.

<62> 본 발명의 다른 특징에 의하면, 라스터 스캔 순서의 화상 데이터와 블록 스

캔 순서의 화상 데이터의 상호 변환을 위한 화상 처리 방법은, 수평 해상도(H) 및 수직 해상도(V)를 가지는 라스터 스캔 순서의 화상 데이터를 공급받는 단계와, 복수의 라인들(v)의 라인 메모리에 대한 공통 독출/기입 어드레스를 발생하는 단계와, 상기 라인 메모리의 상기 공통 독출/기입 어드레스로부터 $h*v$ 블록 스캔 순서의 화상 데이터를 독출하는 단계와, 상기 라인 메모리의 상기 공통 독출/기입 어드레스에 상기 라스터 스캔 순서의 화상 데이터를 저장하는 단계 그리고 $h*v$ 블록 스캔 순서의 화상 데이터를 인코더로 전달하는 단계를 포함한다. 상기 공통 독출/기입 어드레스를 발생하는 단계는, (ㄱ) 블록 오프셋과 라인 오프셋을 초기화하는 단계와, (ㄴ) 블록 어드레스를 초기화하는 단계와, (ㄷ) 앵커 어드레스를 블록 어드레스로써 설정하는 단계와, (ㄹ) 상기 앵커 어드레스* h 로부터 연속된 h 개의 공통 독출/기입 어드레스들을 발생하는 단계와, (ㅁ) 상기 앵커 어드레스를 상기 라인 오프셋만큼 증가시키는 단계와, (ㅂ) 상기 $h*v$ 블록에 대한 상기 공통 독출/기입 어드레스들이 모두 발생될 때까지 상기 (ㄹ)~(ㅁ) 단계들을 반복하는 단계와, (ㅅ) 상기 블록 어드레스를 상기 블록 오프셋만큼 증가시키는 단계와, (ㅇ) H/h 블록들에 대한 화상 데이터를 모두 처리할 때까지 상기 (ㄷ)~(ㅅ) 단계들을 반복하는 단계와, (ㅈ) 상기 블록 오프셋을 상기 라인 오프셋으로써 설정하는 단계와, (ㅊ) (라인 오프셋 * H/h)을 상기 수평 해상도 H-1로 나눈 나머지를 상기 라인 오프셋으로 설정하는 단계 그리고 (ㅋ) 상기 라스터 스캔 순서의 화상 데이터가 공급되는 동안 상기 (ㄴ)~(ㅊㅋ) 단계들을 반복하는 단계를 포함한다.

<63> 바람직한 실시예에 있어서, 상기 (口) 단계에서, 상기 증가된 앱커 어드레스가 {수평 해상도(H)-1}보다 크거나 같을 때, 상기 앱커 어드레스를 {수평 해상도(H)-1}만큼 감소시키는 단계를 더 포함한다.

<64> 바람직한 실시예에 있어서, 상기 (ㅅ) 단계에서, 상기 증가된 블록 어드레스가 {수평 해상도(H)-1}보다 크거나 같을 때, 상기 블록 어드레스를 상기 {수평 해상도(H)-1}만큼 감소시키는 단계를 더 포함한다.

<65> 상술한 바와 같은 화상 처리 장치 및 방법은, 특히, 라스터 포맷을 블록 포맷으로 전환할 때, 카메라 프로세서에서 발생된 화상 데이터를 각 색 성분별로 분리하여 하나의 라인 메모리에 저장한 후, 블록 포맷으로 읽기에 적합한 순서로 블록 단위로 독출하여 JPEG 엔진으로 전달한다. 하나의 통합 라인 메모리를 사용하기 때문에 메모리 크기를 줄일 수 있고 이에 따라 칩 사이즈를 감소시킬 수 있다.

<66> (실시예)

<67> 이하 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명 한다. 도 4는 본 발명의 바람직한 실시예에 따른 화상 데이터 처리 장치를 보여 주는 블록도이다. 도 4를 참조하면, 본 발명의 화상 데이터 처리 장치(100)는 카메라 프로세서(110), 어드레스 발생기(120), 단일 라인 메모리(130) 그리고 JPEG 엔진(140)을 포함한다.

<68> 카메라 프로세서(110)는 라스터 스캔 순서로 화상 데이터를 출력한다. 화상 데이터는 휘도 성분 Y와 색차 성분 U, V를 포함하며, 도면에는 단지 휘도 성

분 Y를 위한 라인 메모리_Y(130)를 도시하였다. 카메라 프로세서(110)는 클럭 신호에 동기화하여 화상 데이터를 출력하며, 출력된 휘도 성분 Y는 라인 메모리 _Y(130)에 저장된다. 처리하고자 하는 화상 데이터가 H*V의 해상도를 가지며, JPEG 엔진(140)이 h*v 블록 단위로 화상 데이터를 처리한다면, 라인 메모리 _Y(130)는 H*v 바이트의 크기를 갖는다. 예컨대, JPEG 압축 방식의 경우, h=v=8이고, 다. 이하에서는 VGA 표준에서 h와 v가 8인 경우를 예로 들어 설명한다.

<69> 어드레스 발생 회로(120)는 라인 메모리_Y(130)에 대한 공통 독출/기입 어드레스를 발생한다. 본 발명에 따르면 라인 메모리_Y(130)에 대한 독출 어드레스와 기입 어드레스가 동일하다. 즉, 독출 동작을 위해 어드레스를 인가한 메모리 셀에 기입 동작이 동시에 수행된다. 이는 도 5에 도시된 타이밍도를 참조하여 설명한다.

<70> 도 4 및 도 5를 참조하면, 카메라 프로세서(110)로부터 제공된 입력 인에이블 신호(PELI_EN)가 액티브 하이이면 라인 메모리_Y(130)의 공통 독출/기입 어드레스(ADDR)에 저장된 화상 데이터가 독출된다. 라인 메모리_Y(130)로부터 독출된 화상 데이터는 출력 인에이블 신호(PEL0_EN)가 액티브 하이일 때 JPEG 엔진(140)으로 제공된다. 한편, 입력 인에이블 신호(PELI_EN)가 액티브 로우일 때 카메라 프로세서(110)로부터 제공된 화상 데이터(PELI[7:0]])가 라인 메모리 _Y(130)에 기입된다. 이 때, 화상 데이터(PELI[7:0]])가 기입되는 라인 메모리 _Y(130)의 어드레스는 어드레스 발생 회로(120)에서 발생된 공통 독출/기입 어드레스(ADDR)이다. 라인 메모리_Y(130)는 H*8 즉, 640*8=5120 개의 픽셀 데이터를 저장하므로, 한 페이즈에서 라인 메모리_Y(130)로부터 0 번째 픽셀 데이터부터

640*8-1=5119 번째 픽셀 데이터까지 독출될 때 카메라 프로세서(110)로부터의
 5120 번째 픽셀 데이터부터 4299 번째 픽셀 데이터까지 라인 메모리_Y(130)에 저
 장된다.

<71> 구체적으로, 공통 독출/기입 어드레스(ADDR)는 아래 수학식 3에 의해서 생
 성된다.

<72> 【수학식 3】 no_hor_bk = 640 >> 3;

<73> no_size = no_hor_bk << 3 - 1;

<74> block_offset = 1;

<75> line_offset = no_hor_bk;

<76> while (!finished){

<77> anchor = 0;

<78> block_addr = 0;

<79> next_line_offset = 0;

<80> for (i=0; i<no_hor_bk; i++){

<81> anchor = block_addr;

<82> for (vv=0; vv<8; vv++){

<83> for (hh=0; hh<8; hh++){

<84> addr = anchor << 3 + hh;

<85> }

```

<86>     anchor += line_offset;

<87>     anchor -= no_size( if anchor >= no_size);

<88> }

<89>     block_addr += block_offset;

<90>     block_addr -= no_size(if block_addr >= no_size);

<91>     next_line_offset += line_offset;

<92>     next_line_offset -= no_size(if next_line_offset>= no_size);

<93> }

<94>     block_offset = line_offset;

<95>     line_offset = next_line_offset;

<96> }

<97> 여기서, addr은 공통 기입/독출 어드레스(ADDR)이고, i는 블록 인덱스, hh  

    는 수평 방향 인덱스, vv는 수직 방향 인덱스이다. no_hor_bk는 한 페이즈에 속  

    하는 블록의 갯수 H/h=640/8이고, no_size는 수평 방향 픽셀의 수-1를 나타낸다.  

    상기 수학식 3에서 640대신 다른 값을 사용하면 처리하고자 하는 화상의 크기에  

    부합하는 공통 독출/기입 어드레스가 생성된다.

<98> 이와 같은 공통 독출/기입 어드레스(ADDR)를 발생하기 위하여 본 발명의 어  

    드레스 발생 회로(120)는 도 6에 도시된 바와 같은 구성을 갖는다.

<99> 도 6을 참조하면, 어드레스 발생 회로(120)는, 두 개의 카운터들(201,  

    202), 어드레스 발생기(210), 라인 오프셋 발생기(220) 그리고 블록 어드레스 발

```

생기(230)를 포함한다. 이 실시예에서, 각 구성 요소들의 크기 및 고유한 숫자들은 VGA 표준에 따라 결정된 것으로, 다른 표준에서는 다르게 설정됨이 잘 이해 될 것이다.

<100> 카운터_hv(201)는 6-비트 카운터로 구성된다. 카운터_hv(201)는 카메라 프로세서(110)로부터의 입력 인에이블 신호(PELI_EN)가 액티브될 때마다 1만큼씩 증가한다. 카운터_hv(201)의 상위 3-비트는 수직 방향 인덱스(vv)를 그리고 하위 3-비트는 수평 방향 인덱스(h)를 제공한다. 수직 방향 인덱스(vv)는 라인 메모리의 라인들을 지정하기 위해 0부터 8까지 변화하고, 수평 방향 인덱스(hh)는 수평 방향 픽셀들을 지정하기 위해 0부터 8까지 변화한다. 카운터_bk(202)는 10-비트 카운터로 구성되며 카운터_hv(201)로부터의 오버플로우 신호(OVERF)가 액티브될 때마다 1만큼씩 증가한다. 카운터_bk(202)는 한 페이즈에 속하는 블럭들을 지정하기 위해 0부터 $640 (=H/h*v = 640/8*8)$ 까지 변화하는 블록 인덱스(i)를 제공한다.

<101> 어드레스 발생기(210)는 멀티플렉서(211), 다음 앵커 어드레스(next anchor address) 레지스터(212), 앵커 어드레스(anchor address) 레지스터(213), 공통 기입/독출 어드레스 연산기(214) 그리고 가산기들(215, 216)을 포함한다.

<102> 가산기(215)는 다음 앵커 어드레스 레지스터(212)의 다음 앵커 어드레스(next_anchor[9:0])와 라인 오프셋 레지스터(223)에 저장된 라인 오프셋(line_offset[9:0])의 합을 출력한다. 가산기(216)는, 다음 앵커 어드레스 레지스터(212)에 저장된 다음 앵커 어드레스(next_anchor[9:0])가 수평 방향 픽셀 수

640-1 즉, 639보다 크면 다음 앵커 어드레스(next_anchor[9:0])에서 639를 뺀다.

<103> 멀티플렉서(211)는 초기화 신호(init)가 액티브될 때 0을, 카운터_bk(202)로부터의 블록 인덱스(i)가 증가할 때 블록 어드레스 연산기(232)로부터의 블록 어드레스(block_addr[9:0])를, 그리고 수평 방향 인덱스(hh)가 오버플로우될 때(즉, hh=8일 때) 가산기들(215, 216)로부터의 출력들을 차례대로 다음 앵커 어드레스 레지스터(212)로 제공한다. 도면에 도시되지는 않았으나, 상기 초기화 신호(init)는 예컨대, 카메라 프로세서(110)로부터 제공되는 수평 동기 신호(horizontal synchronization signal)의 8 주기마다 동기되어 액티브되는 신호이다.

<104> 앵커 어드레스 레지스터(213)는 수직 방향 인덱스(vv)가 오버플로우될 때(즉, vv=8일 때) 다음 앵커 어드레스 레지스터(212)로부터의 다음 앵커 어드레스(next_anchor[9:0])를 받아들인다. 어드레스 연산기(214)는 앵커 어드레스 레지스터(213)에 저장된 앵커 어드레스(anchor[9:0])를 원쪽으로 3번 쉬프트하고, 수평 방향 인덱스(hh)가 증가할 때마다 쉬프트된 앵커 어드레스(anchor[9:0]<<3)에 수평 방향 인덱스(hh)를 더한다. 어드레스 연산기(213)에서 연산된 어드레스가 상기 공통 기입/독출 어드레스(ADDR)가 된다. 도 4를 참조하면, 라인 메모리_Y(130)는 공통 기입/독출 어드레스에 저장된 화상 데이터를 출력한다. JPEG 엔진(140)은 출력 인에이블 신호(PELO_EN)에 응답해서 라인 메모리_Y(130)로부터 출력된 화상 데이터를 받아들인다.

<105> 다시 도 6을 참조하면, 라인 오프셋 발생기(220)는 멀티플렉서(221), 다음 라인 오프셋(next line offset) 레지스터(222), 라인 오프셋(line offset) 레지스터(223) 그리고 가산기들(224, 225)을 포함한다. 가산기(224)는 다음 라인 오프셋 레지스터(222)에 저장된 다음 라인 오프셋(next_line_offset[9:0])과 라인 오프셋(223)에 저장된 라인 오프셋(line_offset[9:0])을 더한다. 가산기(225)는 다음 라인 오프셋 레지스터(222)에 저장된 다음 라인 오프셋(next_line_offset[9:0])이 수평 방향 픽셀 수 640-1 즉, 639보다 크면 다음 라인 오프셋(next_line_offset[9:0])에서 639를 뺀다. 멀티플렉서(221)는 초기화 신호(init)가 액티브될 때 0을, 수직 방향 인덱스(vv)가 오버플로우될 때(즉, vv=8일 때) 가산기들(224, 225)의 출력을 차례대로 선택해서 다음 라인 오프셋 레지스터(222)로 제공한다. 라인 오프셋 레지스터(223)는 블록 인덱스(i)가 오버플로우될 때(즉, i=80일 때) 다음 라인 오프셋 레지스터(222)에 저장된 다음 라인 오프셋(next_line_offset[9:0])을 받아들인다.

<106> 블록 어드레스 발생기(230)는 멀티플렉서(231), 블록 어드레스 레지스터(232), 블록 오프셋 레지스터(235) 그리고 가산기들(233, 234)을 포함한다. 가산기(233)는 블록 어드레스 레지스터(232)에 저장된 블록 어드레스(block_addr[9:0])와 블록 오프셋 레지스터(235)에 저장된 블록 오프셋(block_offset[9:0])을 더한다. 가산기(234)는 블록 어드레스 레지스터(232)에 저장된 블록 어드레스(block_addr[9:0])가 639보다 클 때 블록 어드레스(block_addr[9:0])에서 639를 뺀다. 멀티플렉서(231)는 초기화 신호(init)가 액티브될 때 0을 그리고 수직 방향 인덱스(vv)가 오버플로우될 때(즉, vv=8일 때)

가산기들(233, 234)로부터의 출력들을 차례대로 선택해서 블록 어드레스 레지스터(232)로 제공한다.

<107> 더 구체적으로 도 6 내지 도 7을 참조하여 본 발명의 동작에 관하여 설명한다. 본 발명에 대한 보다 명확한 이해를 위해 80*8 픽셀을 저장할 수 있는 라인 메모리를 일 예로서 설명한다.

<108> 도 7a는 카메라 프로세서(110)로부터 출력되는 화상 데이터를 보여주는 도면이다. 도 7a에서, 카메라 프로세서(110)의 수평 해상도는 80이고, 수직 해상도는 32이다. 80*8 픽셀 화상 데이터를 저장하는 라인 메모리를 포함하는 시스템에서 한 페이즈는 80*8의 크기를 가지므로 한 화면은 4 개의 페이즈들을 포함한다. 각 페이즈는 80 개의 세그먼트들(Segments)을 포함한다. 세그먼트는 블록을 구성하는 수평 방향의 8 개의 픽셀들로 이루어진 라인을 말하며, 세그먼트들(S0-S79)의 각 숫자는 카메라 프로세서(110)로부터 출력되는 화상 데이터의 순서를 의미한다.

<109> 도 7b 내지 도 7e는 80*8 픽셀을 저장할 수 있는 라인 메모리에 도 7a에 도시된 세그먼트들이 독출/기입되는 순서를 보여주는 도면들이다. 도면들에서, 라인 메모리 및 어드레스 버퍼의 어드레스는 좌에서 우로, 위에서 아래로 갈수록 증가한다.

<110> 카메라 프로세서(110)에서 출력되는 80*8 픽셀 화상 데이터(페이즈 1)는 라인 메모리_Y(130)의 어드레스 0부터 시작하여 640까지 순차적으로 기입된다. 즉, 80 개의 세그먼트들(S0-S79)이 도 7b에 도시된 바와 같이 순차적으로 저장된다. 예컨대, 세그먼트(S0)는 픽셀 0~7을 포함하고, 세그먼트(S1)는 픽셀 8~15를

포함하며 세그먼트 10은 픽셀 80~87을 포함한다. 이 때, 매 8 개의 픽셀마다 발생하는(즉, 매 8 픽셀동안 일정한 값을 유지하는) 앱커 어드레스 0~79가 도 6에 도시된 바와 같이, 앱커 어드레스 레지스터(213)에 저장된다. 앱커 어드레스 0~79는 최초의 8 라인의 화상 데이터(80*8 픽셀)가 단일 라인 메모리_Y(130)에 순차적으로 저장될 때, 각 세그먼트의 첫 번째 픽셀이 저장되는 어드레스를 8로 나눈 값에 해당한다. 따라서, 앱커 어드레스에 8을 곱하면 세그먼트의 첫 번째 픽셀이 저장되는 라인 메모리_Y(130)의 어드레스와 일치한다. 도 7b에서, 빛금친 부분은 페이즈 1에 대한 블록 스캔 단위로 독출될 첫 번째 블록(8*8)이다.

<111> 생성된 공통 독출/기입 어드레스를 참조하여 도 7c에 도시된 라인 메모리로부터 페이즈 1에 대한 블록 단위 독출이 수행되는 동시에 새로운 8 라인의 화상 데이터(페이즈 2)가 기입된다. 이 때, 생성되는 앱커 어드레스는 0, 10, 20, …, 70, 1, 11, 21, …, 71, …, 9, 19, 29, …, 79 순이다. 도 7c에서, 빛금친 부분은 페이즈 2에 대한 블록 스캔 단위로 독출될 첫 번째 블록(8*8)이다.

<112> 이어서, 공통 독출/기입 어드레스를 참조하여 도 7d에 도시된 라인 메모리로부터 페이즈 2에 대한 블록 단위 독출이 수행되는 동시에 새로운 8 라인의 화상 데이터(페이즈 3)가 기입된다. 이 때, 생성되는 앱커 어드레스는 0, 21, 42, 63, …, 68, 10, 31, 52, …, 78, …, 11, 32, 53, …, 79 순이다. 도 7d에서, 빛금친 부분은 페이즈 3에 대한 블록 스캔 단위로 독출될 첫 번째 블록(8*8)이다

<113> 공통 독출/기입 어드레스를 참조하여 도 7e에 도시된 라인 메모리로부터 페이즈 3에 대한 블록 단위 독출이 수행되는 동시에 새로운 8 라인의 화상 데이터(

페이지 4)가 기입된다. 이 때, 생성되는 앵커 어드레스는 0, 52, 25, 77, …, 73, 46, 31, 52, …, 78, …, 11, 32, 53, …, 79 순이다. 도 7e에서, 빗금친 부분은 페이지 4에 대한 블록 스캔 단위로 독출될 첫 번째 블록(8*8)이다.

<114> 마지막 페이지인 페이지 4가 라인 메모리_Y(130)리에 기록된 후에는, 생성된 공통 독출/기입 어드레스를 참조하여 라인 메모리_Y(130)에 대한 독출 동작만 수행한다.

<115> 상술한 본 발명에 따르면, 카메라 프로세서(110)로부터 출력되는 첫 번째 페이지의 화상 데이터가 라인 메모리_Y(130)에 저장된다. 생성된 공통 독출/기입 어드레스를 참조하여 라인 메모리_Y(130)로부터 첫 번째 페이지의 화상 데이터가 독출된 후 카메라 프로세서(110)로부터 출력되는 두 번째 페이지의 화상 데이터가 라인 메모리_Y(130)에 저장된다. 이 때, 공통 독출/기입 어드레스는 독출될 화상 데이터가 속하는 블록의 어드레스, 블록의 오프셋 및 라인 오프셋에 근거하여 상기 라인 메모리에 대한 상기 공통 독출/기입 어드레스를 발생함으로써, 라스터 스캔 순서 및 블록 스캔 순서 사이의 화상 데이터 전환이 하나의 라인 메모리를 이용하여 용이하게 구현될 수 있다.

<116> 공통 독출/기입 어드레스(ADDR)를 발생하는 다른 알고리즘의 예가 아래 수학식 4에 기재되어 있다.

<117> 【수학식 4】 no_hor_bk = 640 >> 3;

<118> no_size = no_hor_bk << 3 - 1;

<119> block_offset = 1;

```

<120>     line_offset = no_hor_bk;

<121>     while (!finished){

<122>         for (i=0; i<no_hor_bk; i++){

<123>             for (vv=0; vv<8; v++){

<124>                 anchor = (block_offset*i + line_offset*v) % no_size;

<125>                 if (vv==7 && i==no_hor_bk-1) anchor = no_size;

<126>                 for (hh=0; hh<8; h++){

<127>                     addr = anchor << 3 + hh;

<128>                 }

<129>             }

<130>         }

<131>         block_offset = line_offset;

<132>         line_offset = (line_offset * no_hor_bk) % no_size;

<133>     }

<134> 여기서, addr은 공통 기입/독출 어드레스(ADDR)이고, i는 블록 인덱스, hh
      는 수평 방향 인덱스, vv는 수직 방향 인덱스이다. no_hor_bk는 한 페이즈에 속
      하는 블록의 갯수 H/h=640/8이고, no_size는 수평 방향 픽셀의 수-1를 나타낸다.
      상기 수학식 3에서 640대신 다른 값을 사용하면 처리하고자 하는 화상의 크기에

```

부합하는 공통 독출/기입 어드레스가 생성된다. 다음의 수학식들에서도 인덱스
들은 수학식 3 및 수학식 4와 동일하게 사용된다.

<135> 수학식 4의 알고리즘은 3 개의 승산기를 사용하도록 되어있으나, 이를 다음
수학식 5와 같이 수정할 수 있다.

<136> 【수학식 5】 no_hor_bk = 640 >> 3;

<137> no_size = no_hor_bk << 3 - 1;

<138> block_offset = 1;

<139> line_offset = no_hor_bk;

<140> while (!finished){

<141> block_addr = 0;

<142> for (i=0; i<no_hor_bk; i++){

<143> line_addr = 0;

<144> for (v=0; v<8; v++){

<145> anchor = (block_addr + line_addr) % no_size;

<146> if (v==7 && i==no_hor_bk-1) anchor = no_size;

<147> for (h=0; h<8; h++){

<148> addr = anchor << 3 + h;

<149> }

<150> line_addr += line_offset;

```

<151>      }
<152>      block_addr += block_offset;
<153>  }
<154>  block_offset = line_offset;
<155>  line_offset = (line_offset * no_hor_bk) % no_size;
<156> }
<157> 수학식 5의 알고리즘에서 블록 어드레스(block_addr)와 라인 어드레스
      (line_addr)의 크기가 무한정 증가하는 것을 막고, 나머지 연산자(%)를 줄이기
      위해서 다음 수학식 6과 같이 수정할 수 있다.

```

```

<158> 【수학식 6】 no_hor_bk = 640 >> 3;
<159> no_size = no_hor_bk << 3 - 1;
<160> block_offset = 1;
<161> line_offset = no_hor_bk;

<162> while (!finished){
<163>   block_addr = 0;
<164>   for (i=0; i<no_hor_bk; i++){
<165>     line_addr = 0;
<166>     for (v=0; v<8; v++){
<167>       anchor = (block_addr + line_addr);

```

```
<168>     if (anchor>=no_size) anchor -= no_size;

<169>     if (v==7 && i==no_hor_bk-1) anchor = no_size;

<170>     for (h=0; h<8; h++){

<171>         addr = anchor << 3 + h;

<172>     }

<173>     line_addr += line_offset;

<174>     if (line_addr>=no_size) line_addr -= no_size;

<175> }

<176>     block_addr += block_offset;

<177>     if (block_addr>=no_size) block_addr -= no_size;

<178> }

<179>     block_offset = line_offset;

<180>     line_offset = (line_offset * no_hor_bk) % no_size;

<181> }
```

<182> 수학식 6의 알고리즘에서는 어드레스(addr)를 출력하기 전에 앵커 어드레스(anchor)를 계산하도록 되어 있으나, 효율적인 하드웨어 구현을 위해서 상기 수학식 3과 같이 수정할 수 있다. 그러므로, 적은 하드웨어로 계산 시간이 단축된 알고리즘은 수학식 3이다.

<183> 이와 같은 본 발명의 화상 처리 장치 및 방법에 의하면, 라스터 스캔 순서 및 블록 스캔 순서 사이의 화상 데이터 전환이 하나의 라인 메모리를 이용하여 구현함으로써 종래에 비해 요구되는 라인 메모리의 크기가 절반으로 감소된다.

<184> 한편, 본 발명은 다수의 성분을 가진 칼라 신호에 대응하기 위하여 특정한 크로마 포맷(chroma format)(예컨대, 4:2:2, 4:4:4 등)에 적합하도록 라인 메모리의 크기는 변경될 수 있다. 예를 들어, 4:2:2 포맷의 경우 라인 메모리의 크기는 H*2*8이 되며, 4:4:4 포맷의 경우 라인 메모리의 크기는 H*3*8이 된다.

<185> 예시적인 바람직한 실시예를 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예에 한정되지 않는다는 것이 잘 이해될 것이다. 따라서, 청구범위는 그러한 변형 예들 및 그 유사한 구성들 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

【발명의 효과】

<186> 이와 같은 본 발명에 의하면, 색 성분마다 하나의 라인 메모리를 사용하므로서 라인 메모리 크기가 감소된다. 따라서, 칩에 내장시 작은 크기의 칩을 얻을 수 있으며, 또한 시스템의 저전력화를 도모할 수 있다.

【특허청구범위】**【청구항 1】**

라스터 스캔 순서의 화상 데이터와 블록 스캔 순서의 화상 데이터의 상호 변환을 위한 화상 처리 장치에 있어서:

소정의 수평 해상도 및 수직 해상도를 가지는 라스터 스캔 순서의 화상 데이터를 공급하는 화상 데이터 처리기와;

복수의 라인들의 화상 데이터를 저장하기 위한 라인 메모리와;

상기 라인 메모리에 대한 공통 독출/기입 어드레스를 발생하는 어드레스 발생 블록; 및

상기 라인 메모리로부터 블록 스캔 순서의 화상 데이터를 전달받는 인코더를 포함하되;

상기 어드레스 발생 블록은,

화상 데이터가 독출 및 기입될 블록의 어드레스를 발생하는 블록 어드레스 발생기와;

상기 라인 메모리에 대한 이전 공통 독출/기입 어드레스와 현재 공통 독출/기입 어드레스 사이의 라인 오프셋을 제공하는 라인 오프셋 발생기; 그리고

상기 블록 어드레스와 상기 라인 오프셋에 근거하여 상기 라인 메모리에 대한 상기 공통 독출/기입 어드레스를 발생하는 어드레스 발생기를 포함하는 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 2】

제 1 항에 있어서,

상기 인코더는 JPEG 엔진인 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 3】

제 2 항에 있어서,

상기 블록은 {복수의 수평 방향 픽셀들(h)*복수의 수직 방향 픽셀들(v)}의 화상 데이터를 포함하는 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 4】

제 3 항에 있어서,

상기 블록 어드레스 발생기는,

상기 라인 메모리에 대한 현재 블록의 시작 어드레스와 다음 블록의 시작 어드레스 사이의 오프셋인 블록 오프셋을 더 제공하는 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 5】

제 4 항에 있어서,

상기 블록 오프셋은 초기에 1로써 설정되는 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 6】

제 5 항에 있어서,

상기 라인 오프셋은 초기에 {수평 해상도(H)/h}로써 설정되는 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 7】

제 6 항에 있어서,

상기 라인 오프셋 발생기는,

상기 라인 메모리에 대한 현재 공통 독출/기입 어드레스와 다음 공통 독출/기입 어드레스 사이의 라인 오프셋인 다음 라인 오프셋을 더 발생하는 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 8】

제 7 항에 있어서,

상기 블록 어드레스와 상기 다음 라인 오프셋은 매 페이즈의 시작에서 각각 리셋되는 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 9】

제 8 항에 있어서,

상기 어드레스 발생기는,

상기 블록 어드레스에 근거하여 상기 라인 메모리에 대한 앵커 어드레스를 더 발생하고; 그리고

상기 발생된 앵커 어드레스로부터 연속된 h 개의 상기 공통 독출/기입 어드레스들을 발생하는 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 10】

제 9 항에 있어서,

상기 어드레스 발생기는,

상기 연속된 h 개의 공통 독출/기입 어드레스들을 발생한 후 상기 앵커 어드레스를 상기 라인 오프셋만큼 증가시키는 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 11】

제 10 항에 있어서,

상기 어드레스 발생기는,

상기 라인 오프셋만큼 증가된 상기 앵커 어드레스가 상기 수평 해상도 $H-1$ 보다 클 때 상기 앵커 어드레스를 {수평 해상도(H)}-1만큼 감소시키는 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 12】

제 11 항에 있어서,

상기 블록 어드레스 발생기는,

하나의 블록에 대한 공통 독출/기입 어드레스들을 발생한 후 상기 블록 어드레스를 상기 블록 오프셋만큼 증가시키는 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 13】

제 12 항에 있어서,

상기 블록 어드레스 발생기는,

상기 블록 오프셋만큼 증가된 상기 블록 어드레스가 상기 수평 해상도 H-1 보다 클 때 상기 블록 어드레스를 {수평 해상도(H)-1}만큼 감소시키는 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 14】

제 13 항에 있어서,

상기 블록 오프셋은, 매 페이즈의 끝에서 상기 라인 오프셋으로써 설정되는 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 15】

제 14 항에 있어서,

상기 라인 오프셋은, 상기 매 페이즈의 끝에서 상기 다음 라인 오프셋으로 써 설정되는 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 16】

제 15 항에 있어서,

하나의 페이즈는 H/h 블록들을 포함하는 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 17】

제 15 항에 있어서,

수평해상도가 H이고 수직 해상도가 V인 화상 데이터는 V/v 페이즈들을 포함하는 것을 특징으로 하는 화상 데이터 처리 장치.

【청구항 18】

라스터 스캔 순서의 화상 데이터와 블록 스캔 순서의 화상 데이터의 상호 변환을 위한 화상 처리 방법에 있어서:

수평 해상도(H) 및 수직 해상도(V)를 가지는 라스터 스캔 순서의 화상 데이터를 공급받는 단계와;

복수의 라인들(v)의 라인 메모리에 대한 공통 독출/기입 어드레스를 발생하는 단계와;

상기 라인 메모리의 상기 공통 독출/기입 어드레스로부터 $h*v$ 블록 스캔 순서의 화상 데이터를 독출하는 단계와;

상기 라인 메모리의 상기 공통 독출/기입 어드레스에 상기 라스터 스캔 순서의 화상 데이터를 저장하는 단계; 그리고

$h*v$ 블록 스캔 순서의 화상 데이터를 인코더로 전달하는 단계를 포함하되;

상기 공통 독출/기입 어드레스를 발생하는 단계는,

(ㄱ) 블록 오프셋과 라인 오프셋을 초기화하는 단계와;

(ㄴ) 블록 어드레스와 다음 라인 오프셋을 초기화하는 단계와;

(ㄷ) 앵커 어드레스를 상기 블록 어드레스로써 설정하는 단계와;

(ㄹ) 상기 앵커 어드레스로부터 연속된 h 개의 공통 독출/기입 어드레스들을 발생하는 단계와;

(ㅁ) 상기 앵커 어드레스를 상기 라인 오프셋만큼 증가시키는 단계와;

(ㅂ) 상기 h*v 블록에 대한 상기 공통 독출/기입 어드레스들이 모두 발생될 때까지 상기 (ㄹ)~(ㅁ) 단계들을 반복하는 단계와;

(ㅅ) 상기 블록 어드레스를 상기 블록 오프셋만큼 증가시키는 단계와;

(ㅇ) 상기 다음 라인 오프셋을 상기 라인 오프셋만큼 증가시키는 단계와;

(ㅈ) H/h 블록들에 대한 화상 데이터를 모두 처리할 때까지 상기 (ㄷ)~(ㅇ) 단계들을 반복하는 단계와;

(ㅊ) 상기 블록 오프셋을 상기 라인 오프셋으로서 설정하는 단계와;

(ㅋ) 상기 라인 오프셋을 상기 다음 라인 오프셋으로 설정하는 단계와;

(ㅊ) 상기 라스터 스캔 순서의 화상 데이터가 공급되는 동안 상기 (ㄴ)~(ㅋ) 단계들을 반복하는 단계를 포함하는 것을 특징으로 하는 화상 데이터 처리 방법.

【청구항 19】

제 18 항에 있어서,

상기 (ㅁ) 단계에서, 상기 라인 오프셋만큼 증가된 앵커 어드레스가 상기 수평 해상도 H-1보다 크거나 같을 때 상기 앵커 어드레스를 상기 수평 해상도 H-1만큼 감소시키는 단계를 더 포함하는 것을 특징으로 하는 화상 데이터 처리 방법.

【청구항 20】

제 18 항에 있어서,

상기 (○) 단계에서, 상기 블록 오프셋만큼 증가된 블록 어드레스가 상기 수평 해상도 H-1보다 크거나 같을 때 상기 블록 어드레스를 상기 수평 해상도 H-1만큼 감소시키는 단계를 더 포함하는 것을 특징으로 하는 화상 데이터 처리 방법.

【청구항 21】

라스터 스캔 순서의 화상 데이터와 블록 스캔 순서의 화상 데이터의 상호 변환을 위한 화상 처리 방법에 있어서:

수평 해상도(H) 및 수직 해상도(V)를 가지는 라스터 스캔 순서의 화상 데이터를 공급받는 단계와;

복수의 라인들(v)의 라인 메모리에 대한 공통 독출/기입 어드레스를 발생하는 단계와;

상기 라인 메모리의 상기 공통 독출/기입 어드레스로부터 $h*v$ 블록 스캔 순서의 화상 데이터를 독출하는 단계와;

상기 라인 메모리의 상기 공통 독출/기입 어드레스에 상기 라스터 스캔 순서의 화상 데이터를 저장하는 단계; 그리고

$h*v$ 블록 스캔 순서의 화상 데이터를 인코더로 전달하는 단계를 포함하되;

상기 공통 독출/기입 어드레스를 발생하는 단계는,

(ㄱ) 블록 오프셋과 라인 오프셋을 초기화하는 단계와;

(ㄴ) ($\text{블록 오프셋} * i + \text{라인 오프셋} * vv$)(여기서, i 는 v 라인의 화상 데이터의 블록 순서를 표시하는 것으로서, 0 부터 $(H/h)-1$ 까지 순차적으로 증

가하고, vv는 블록의 라인 수를 표시하는 것으로서 i에 대하여 0부터 v-1 까지
순차적으로 증가하며)를 수평 해상도 H-1로 나눈 나머지로 주어지는 앵커 어드레스를
생성하는 단계와;

(ㄷ) 상기 앵커 어드레스*h로부터 연속된 h개의 공통 독출/기입 어드레스들을
발생하는 단계와;

(ㄹ) 상기 $h*v$ 블록에 대한 상기 공통 독출/기입 어드레스들이 모두 발생
될 때까지 상기 (ㄴ)~(ㄷ) 단계들을 반복하는 단계와;

(ㅁ) 상기 i가 0부터 v-1 까지 순차적으로 증가할 때까지 상기 (ㄴ)~(ㄷ)
단계들을 반복하는 단계와;

(ㅂ) 상기 블록 오프셋을 상기 라인 오프셋으로서 설정하는 단계와;

(ㅅ) (라인 오프셋 * H/h)을 상기 수평 해상도 H-1로 나눈 나머지를 상기
라인 오프셋으로 설정하는 단계와;

(ㅇ) 상기 라스터 스캔 순서의 화상 데이터가 공급되는 동안 상기 (ㄴ)~(ㅅ)
단계들을 반복하는 단계를 포함하는 것을 특징으로 하는 화상 데이터 처리
방법.

【청구항 22】

라스터 스캔 순서의 화상 데이터와 블록 스캔 순서의 화상 데이터의 상호
변환을 위한 화상 처리 방법에 있어서:

수평 해상도(H) 및 수직 해상도(V)를 가지는 라스터 스캔 순서의 화상 데
이터를 공급받는 단계와;

복수의 라인들(v)의 라인 메모리에 대한 공통 독출/기입 어드레스를 발생하는 단계와;

상기 라인 메모리의 상기 공통 독출/기입 어드레스로부터 h*v 블록 스캔 순서의 화상 데이터를 독출하는 단계와;

상기 라인 메모리의 상기 공통 독출/기입 어드레스에 상기 라스터 스캔 순서의 화상 데이터를 저장하는 단계; 그리고

h*v 블록 스캔 순서의 화상 데이터를 인코더로 전달하는 단계를 포함하되;

상기 공통 독출/기입 어드레스를 발생하는 단계는,

(ㄱ) 블록 오프셋과 라인 오프셋을 초기화하는 단계와;

(ㄴ) 블록 어드레스를 초기화하는 단계와;

(ㄷ) 라인 어드레스를 초기화하는 단계와;

(ㄹ) 상기 블록 어드레스와 상기 라인 어드레스의 합을 상기 수평 해상도 H-1로 나눈 나머지로 주어지는 앵커 어드레스를 생성하는 단계와;

(ㅁ) 상기 앵커 어드레스*h로부터 연속된 h개의 공통 독출/기입 어드레스들을 발생하는 단계와;

(ㅂ) 상기 라인 어드레스를 상기 라인 오프셋만큼 증가시키는 단계와;

(ㅅ) 상기 h*v 블록에 대한 상기 공통 독출/기입 어드레스들이 모두 발생 될 때까지 상기 (ㄹ)~(ㅂ) 단계들을 반복하는 단계와;

(ㅇ) 상기 블록 어드레스를 상기 블록 오프셋만큼 증가시키는 단계와;

- (자) H/h 블록들에 대한 화상 데이터를 모두 처리할 때까지 상기 (ㄷ)~(ㅇ) 단계들을 반복하는 단계와;
- (ㅊ) 상기 블록 오프셋을 상기 라인 오프셋으로서 설정하는 단계와;
- (ㅋ) 상기 라인 오프셋 * H/h을 상기 수평 해상도 H-1로 나눈 나머지를 상기 라인 오프셋으로 설정하는 단계와;
- (ㅊ) 상기 라스터 스캔 순서의 화상 데이터가 공급되는 동안 상기 (ㄴ)~(ㅋ) 단계들을 반복하는 단계를 포함하는 것을 특징으로 하는 화상 데이터 처리 방법.

【청구항 23】

라스터 스캔 순서의 화상 데이터와 블록 스캔 순서의 화상 데이터의 상호 변환을 위한 화상 처리 방법에 있어서:

수평 해상도(H) 및 수직 해상도(V)를 가지는 라스터 스캔 순서의 화상 데이터를 공급받는 단계와;

복수의 라인들(v)의 라인 메모리에 대한 공통 독출/기입 어드레스를 발생하는 단계와;

상기 라인 메모리의 상기 공통 독출/기입 어드레스로부터 h*v 블록 스캔 순서의 화상 데이터를 독출하는 단계와;

상기 라인 메모리의 상기 공통 독출/기입 어드레스에 상기 라스터 스캔 순서의 화상 데이터를 저장하는 단계; 그리고

h*v 블록 스캔 순서의 화상 데이터를 인코더로 전달하는 단계를 포함하되;

상기 공통 독출/기입 어드레스를 발생하는 단계는,

(ㄱ) 블록 오프셋과 라인 오프셋을 초기화하는 단계와;

(ㄴ) 블록 어드레스를 초기화하는 단계와;

(ㄷ) 라인 어드레스를 초기화하는 단계와;

(ㄹ) 상기 블록 어드레스와 상기 라인 어드레스에 근거해서 앵커 어드레스를 생성하는 단계와;

(ㅁ) 상기 앵커 어드레스*h로부터 연속된 h 개의 공통 독출/기입 어드레스들을 발생하는 단계와;

(ㅂ) 상기 라인 어드레스를 상기 라인 오프셋만큼 증가시키는 단계와;

(ㅅ) 상기 h*v 블록에 대한 상기 공통 독출/기입 어드레스들이 모두 발생될 때까지 상기 (ㄹ)~(ㅂ) 단계들을 반복하는 단계와;

(ㅇ) 상기 블록 어드레스를 상기 블록 오프셋만큼 증가시키는 단계와;

(ㅈ) H/h 블록들에 대한 화상 데이터를 모두 처리할 때까지 상기 (ㄷ)~(ㅇ) 단계들을 반복하는 단계와;

(ㅊ) 상기 블록 오프셋을 상기 라인 오프셋으로서 설정하는 단계와;

(ㅋ) 상기 라인 오프셋 * H/h를 상기 라인 오프셋으로 설정하는 단계와;

(ㅊ) 상기 라스터 스캔 순서의 화상 데이터가 공급되는 동안 상기 (ㄴ)~(ㅋ) 단계들을 반복하는 단계를 포함하는 것을 특징으로 하는 화상 데이터 처리 방법.

【청구항 24】

제 23 항에 있어서,

상기 (ㄹ) 단계에서, 상기 생성된 앱커 어드레스가 상기 수평 해상도 H-1보다 크거나 같을 때, 상기 앱커 어드레스를 상기 수평 해상도 H-1만큼 감소시키는 단계를 더 포함하는 것을 특징으로 하는 화상 데이터 처리 방법.

【청구항 25】

제 23 항에 있어서,

상기 (ㅂ) 단계에서, 상기 증가된 라인 어드레스가 상기 수평 해상도 H-1보다 크거나 같을 때, 상기 라인 어드레스를 상기 수평 해상도 H-1만큼 감소시키는 단계를 더 포함하는 것을 특징으로 하는 화상 데이터 처리 방법.

【청구항 26】

제 23 항에 있어서,

상기 (ㅇ) 단계에서, 상기 증가된 블록 어드레스가 상기 수평 해상도 H-1보다 크거나 같을 때, 상기 블록 어드레스를 상기 수평 해상도 H-1만큼 감소시키는 단계를 더 포함하는 것을 특징으로 하는 화상 데이터 처리 방법.

【청구항 27】

제 23 항에 있어서,

상기 (ㅋ) 단계에서, 상기 설정된 라인 오프셋이 상기 수평 해상도 H-1보다 크거나 같을 때 상기 라인 오프셋을 상기 수평 해상도 H-1로 나눈 나머지를 상

기 라인 오프셋으로 설정하는 단계를 더 포함하는 것을 특징으로 하는 화상 데이터 처리 방법.

【청구항 28】

라스터 스캔 순서의 화상 데이터와 블록 스캔 순서의 화상 데이터의 상호 변환을 위한 화상 처리 방법에 있어서:

수평 해상도(H) 및 수직 해상도(V)를 가지는 라스터 스캔 순서의 화상 데이터를 공급받는 단계와;

복수의 라인들(v)의 라인 메모리에 대한 공통 독출/기입 어드레스를 발생하는 단계와;

상기 라인 메모리의 상기 공통 독출/기입 어드레스로부터 $h*v$ 블록 스캔 순서의 화상 데이터를 독출하는 단계와;

상기 라인 메모리의 상기 공통 독출/기입 어드레스에 상기 라스터 스캔 순서의 화상 데이터를 저장하는 단계; 그리고

$h*v$ 블록 스캔 순서의 화상 데이터를 인코더로 전달하는 단계를 포함하되;

상기 공통 독출/기입 어드레스를 발생하는 단계는,

(ㄱ) 블록 오프셋과 라인 오프셋을 초기화하는 단계와;

(ㄴ) 블록 어드레스를 초기화하는 단계와;

(ㄷ) 앵커 어드레스를 블록 어드레스로써 설정하는 단계와;

(ㄹ) 상기 앵커 어드레스*h로부터 연속된 h 개의 공통 독출/기입 어드레스들을 발생하는 단계와;

- (□) 상기 앵커 어드레스를 상기 라인 오프셋만큼 증가시키는 단계와;
- (▣) 상기 h*v 블록에 대한 상기 공통 독출/기입 어드레스들이 모두 발생될 때까지 상기 (□)~(□) 단계들을 반복하는 단계와;
- (△) 상기 블록 어드레스를 상기 블록 오프셋만큼 증가시키는 단계와;
- (○) H/h 블록들에 대한 화상 데이터를 모두 처리할 때까지 상기 (□)~(△) 단계들을 반복하는 단계와;
- (▽) 상기 블록 오프셋을 상기 라인 오프셋으로써 설정하는 단계와;
- (ㅊ) (라인 오프셋 * H/h)을 상기 수평 해상도 H-1로 나눈 나머지를 상기 라인 오프셋으로 설정하는 단계; 그리고
- (ㅋ) 상기 라스터 스캔 순서의 화상 데이터가 공급되는 동안 상기 (▽)~(ㅊ) 단계들을 반복하는 단계를 포함하는 것을 특징으로 하는 화상 데이터 처리 방법.

【청구항 29】

제 28 항에 있어서,

상기 (□) 단계에서, 상기 증가된 앵커 어드레스가 상기 수평 해상도 H-1보다 크거나 같을 때, 상기 앵커 어드레스를 상기 수평 해상도 H-1만큼 감소시키는 단계를 더 포함하는 것을 특징으로 하는 화상 데이터 처리 방법.

【청구항 30】

제 29 항에 있어서,

1020020068871

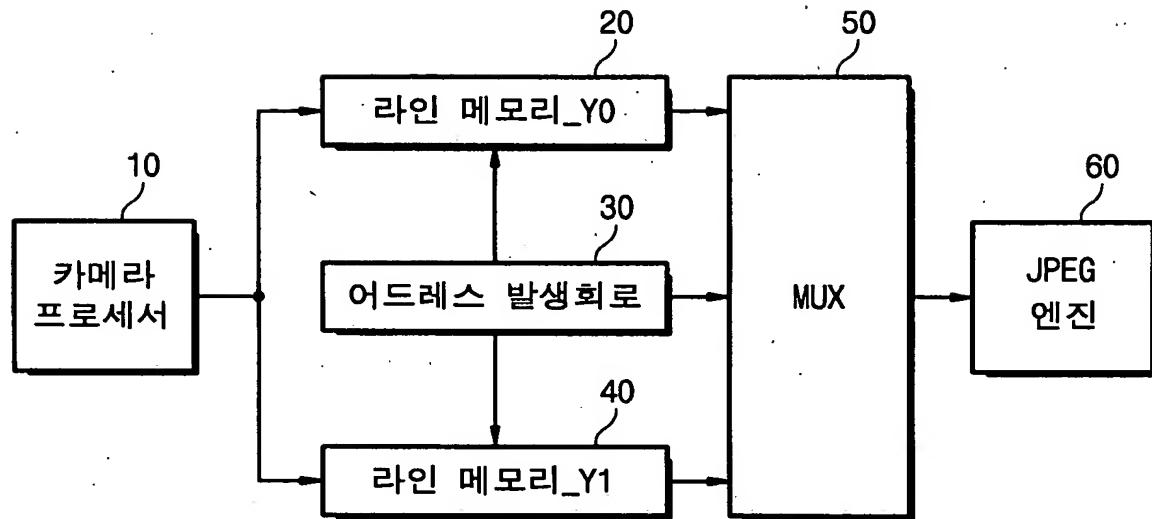
출력 일자: 2003/9/5

상기 (ㅅ) 단계에서, 상기 증가된 블록 어드레스가 상기 수평 해상도 H-1보다 크거나 같을 때, 상기 블록 어드레스를 상기 수평 해상도 H-1만큼 감소시키는 단계를 더 포함하는 것을 특징으로 하는 화상 데이터 처리 방법.

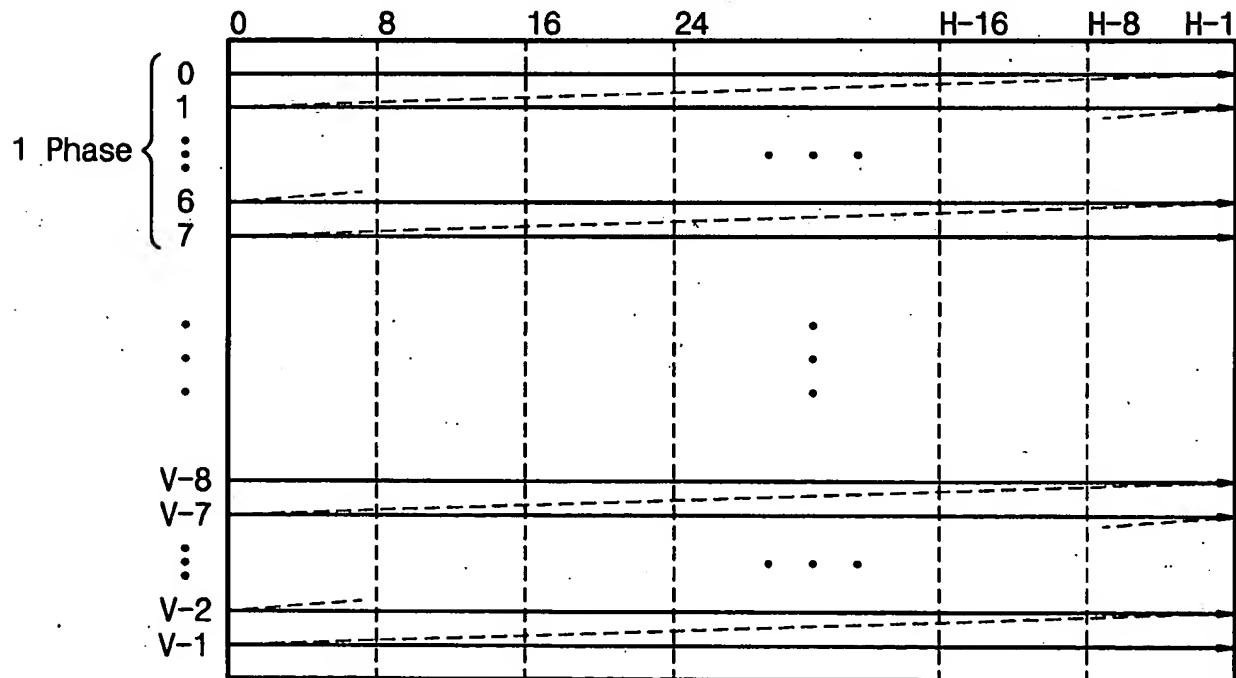
【도면】

【도 1】

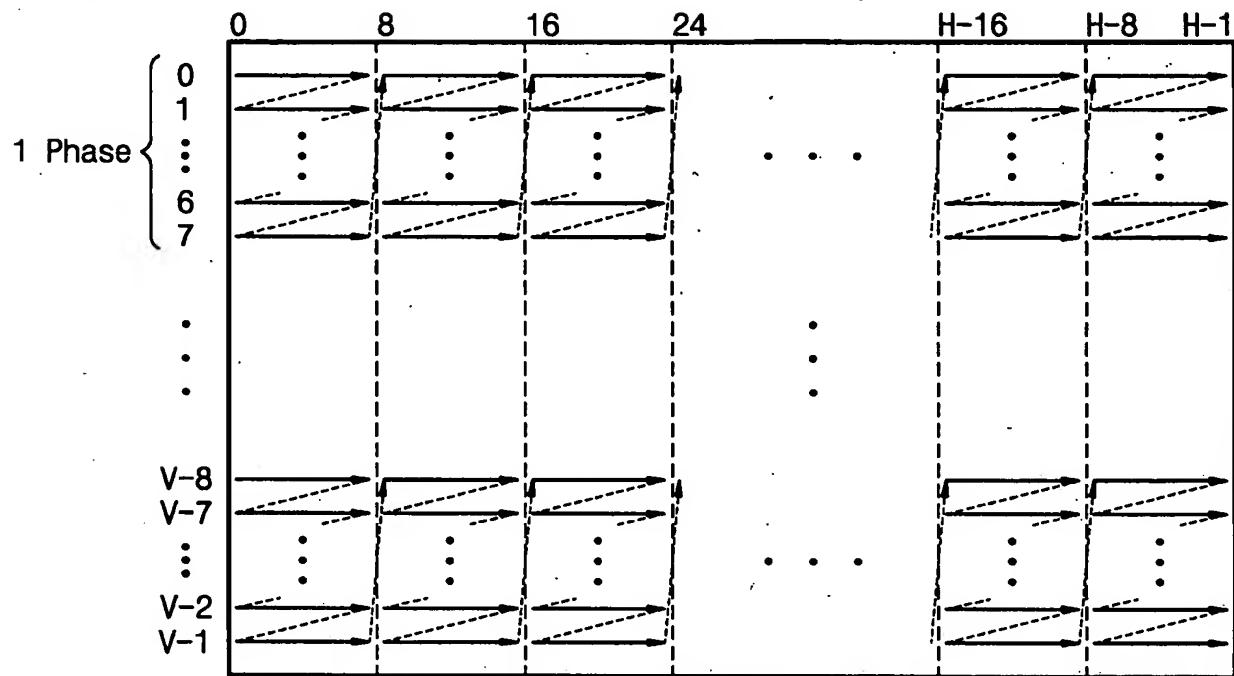
(종래 기술)



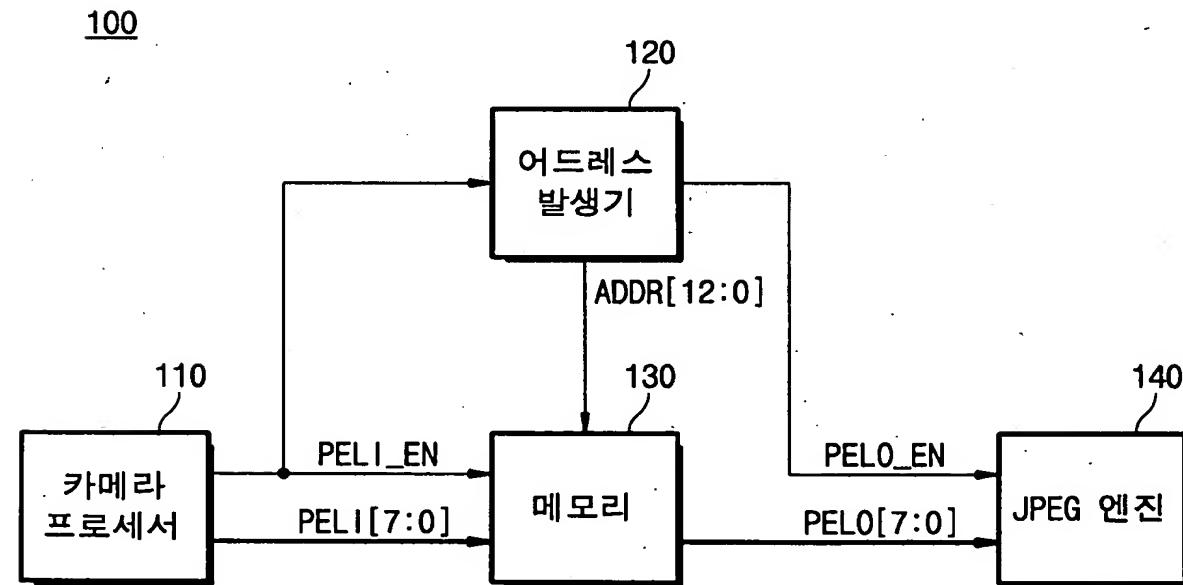
【도 2】



【도 3】



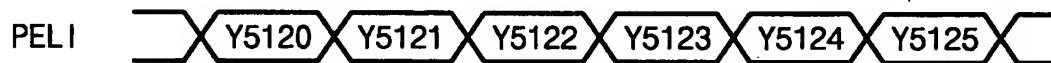
【도 4】



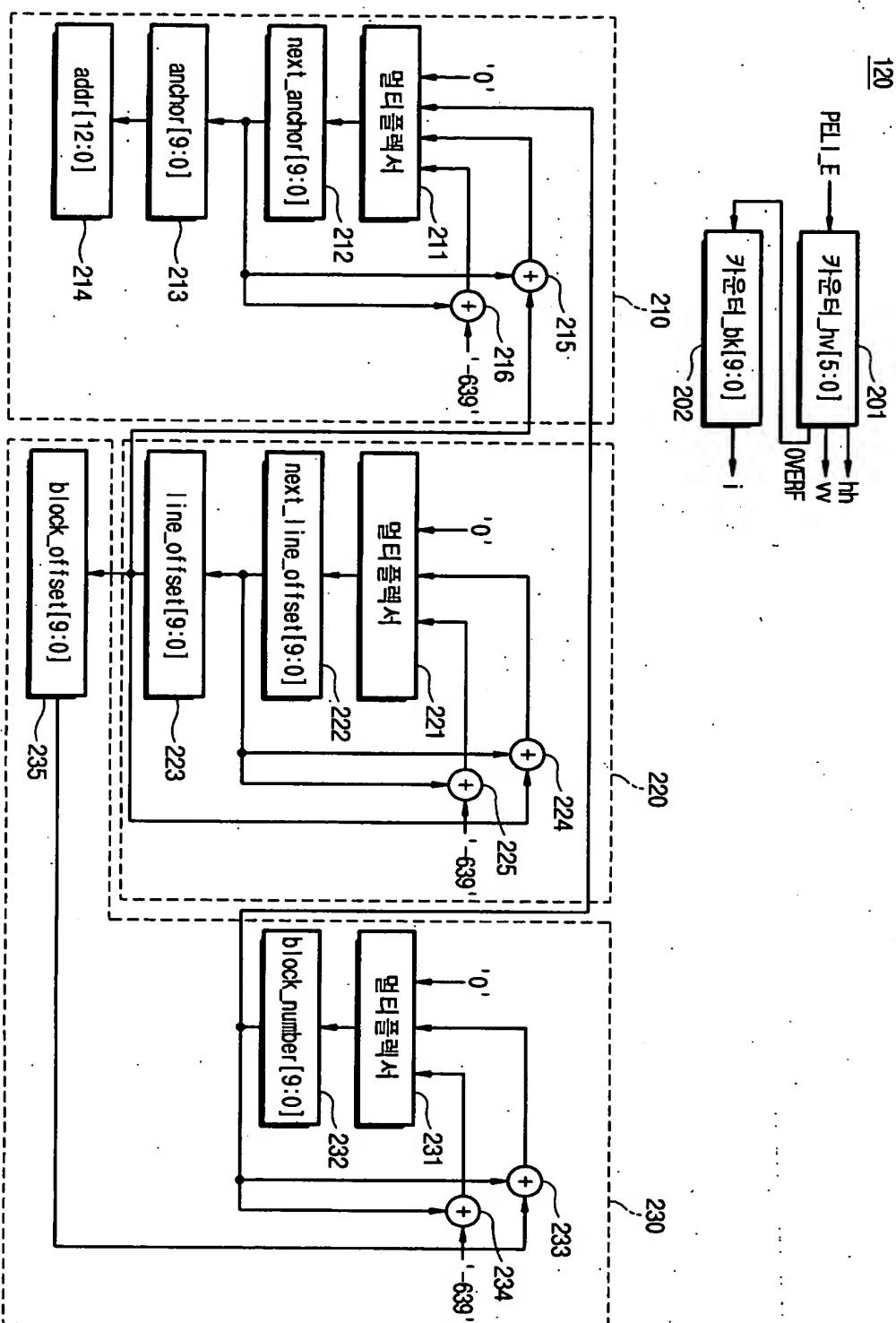
1020020068871

출력 일자: 2003/9/5

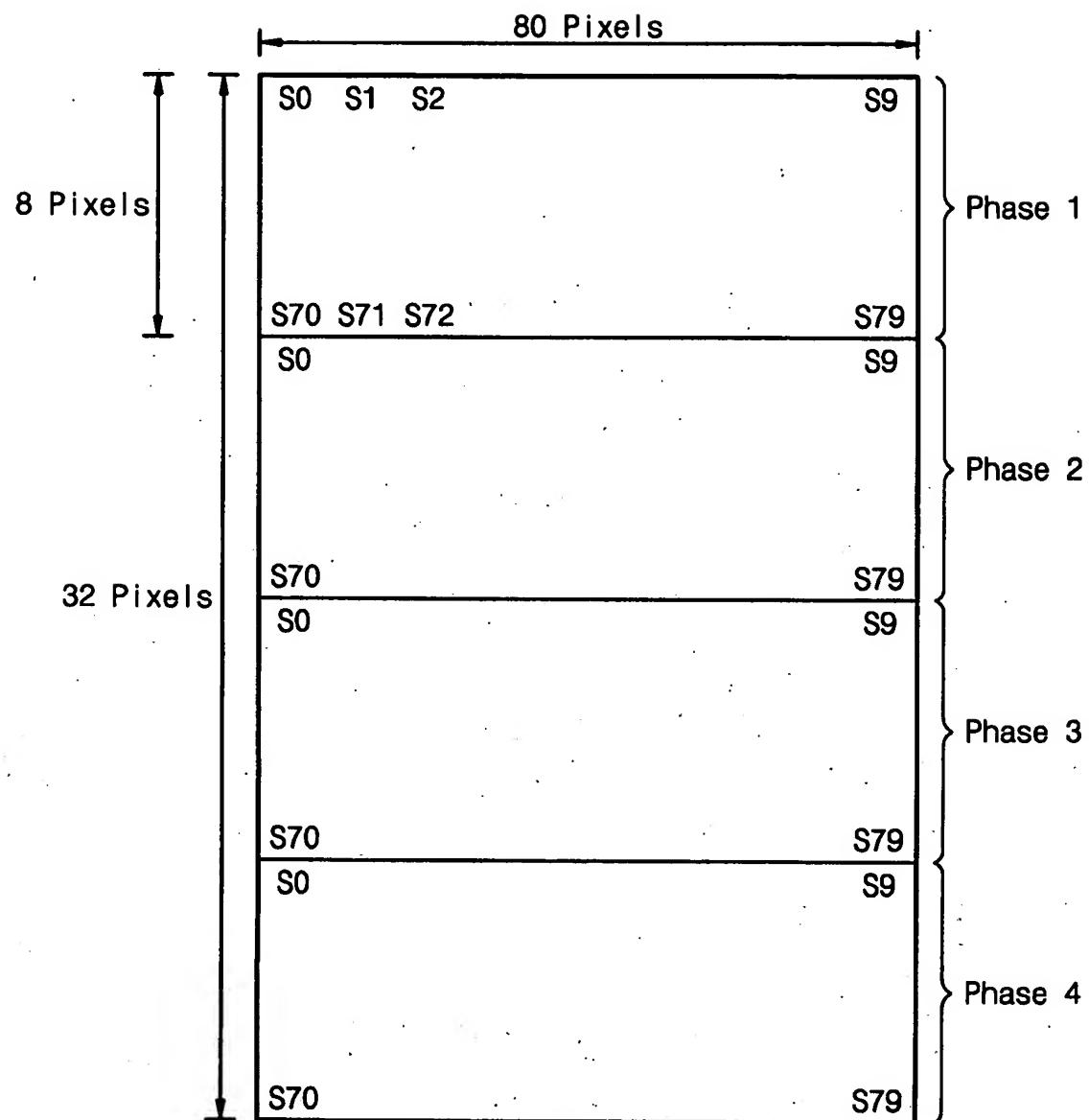
【도 5】



【도 6】



【도 7a】



【도 7b】

Anchor Address Segment

Write for Phase 1

0 S0	1 S1	2 S2	3 S3	4 S4	5 S5	6 S6	7 S7	8 S8	9 S9
10 S10	11 S11	12 S12	13 S13	14 S14	15 S15	16 S16	17 S17	18 S18	19 S19
20 S20	21 S21	22 S22	23 S23	24 S24	25 S25	26 S26	27 S27	28 S28	29 S29
30 S30	31 S31	32 S32	33 S33	34 S34	35 S35	36 S36	37 S37	38 S38	39 S39
40 S40	41 S41	42 S42	43 S43	44 S44	45 S45	46 S46	47 S47	48 S48	49 S49
50 S50	51 S51	52 S52	53 S53	54 S54	55 S55	56 S56	57 S57	58 S58	59 S59
60 S60	61 S61	62 S62	63 S63	64 S64	65 S65	66 S66	67 S67	68 S68	69 S69
70 S70	71 S71	72 S72	73 S73	74 S74	75 S75	76 S76	77 S77	78 S78	79 S79

1 Block(8x8)

【표 7c】

Anchor Address Segment	Read for Phase 1				Write for Phase 2			
	8	16	24	32	40	48	56	64
1 S1	9 S9	17 S17	25 S25	33 S33	41 S41	49 S49	57 S57	65 S65
2 S2	10 S10	18 S18	26 S26	34 S34	42 S42	50 S50	58 S58	66 S66
3 S3	11 S11	19 S19	27 S27	35 S35	43 S43	51 S51	59 S59	67 S67
4 S4	12 S12	20 S20	28 S28	36 S36	44 S44	52 S52	60 S60	68 S68
5 S5	13 S13	21 S21	29 S29	37 S37	45 S45	53 S53	61 S61	69 S69
6 S6	14 S14	22 S22	30 S30	38 S38	46 S46	54 S54	62 S62	70 S70
7 S7	15 S15	23 S23	31 S31	39 S39	47 S47	55 S55	63 S63	71 S71
								79 S79

【도 7d】

Anchor Address Segment	Read for Phase 2										Write for Phase 3									
	8	80	64	49	34	34	19	S19	4	S4	68	S68	53	S53	38	S38	23	S23		
8 S8	72	57	55	42	S42	27	S27	12	S12	76	S76	61	S61	46	S46	31	S31			
16 S16	1	65	50	50	S50	35	S35	20	S20	5	S5	69	S69	54	S54	39	S39			
24 S24	9	73	58	43	S43	28	S28	13	S13	77	S77	62	S62	47	S47					
32 S32	17	2	66	51	S51	36	S36	21	S21	6	S6	76	S76	55	S55					
40 S40	25	10	74	59	44	29	S29	14	S14	78	S78	63	S63							
48 S48	33	S33	18	3	S3	67	S67	52	S52	37	S37	22	S22	7	S7	71	S71			
56 S56	41	S41	26	11	S11	75	S75	60	S60	45	S45	30	S30	15	S15	79	S79			



1020020068871

일자: 2003/9/5

【도 7e】

Anchor Address Segment	Read for Phase 3										Write for Phase 4							
	0	38	38	36	36	35	35	73	73	32	32	70	70	29	29	67	67	26
64 S64	23	61	61	20	58	58	58	17	55	14	14	52	52	11	S11			
49 S49	8	40	5	43	2	40	40	78	78	37	37	75	75	S75				
34 S34	72	31	69	28	66	66	66	25	63	22	22	60	60	S60				
19 S19	57	16	54	13	51	16	16	48	48	7	7	45	45	S45				
4 S4	42	1	39	77	36	74	74	33	33	71	71	36	36	S36				
68 S68	27	65	24	62	21	59	59	18	18	56	56	15	15	S15				
53 S53	12	50	9	47	6	44	44	3	3	41	41	79	79	S79				